

PATENT ABSTRACTS OF JAPAN

(11) Publication number: 63286090 A

(43) Date of publication of application: 22.11.88

(51) Int. Cl

H04N 9/89
H03L 7/08

(21) Application number: 62121839

(71) Applicant: PIONEER ELECTRONIC CORP

(22) Date of filing: 19.05.87

(72) Inventor: MORIYAMA YOSHIAKI

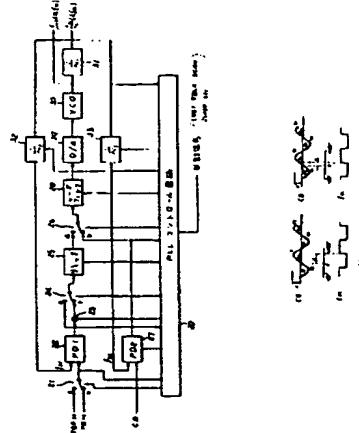
**(54) METHOD FOR SYNCHRONIZATION LOCKING
OF PLL CIRCUIT****(57) Abstract:**

PURPOSE: To contrive to swift and stably synchronize locking to a color burst signal by resetting the phase of a signal of a chrominance carrier frequency so as to minimize the initial phase error between a signal of the chrominance carrier frequency and a color burst signal in switching an object of PLL locking from the reproduced horizontal synchronizing signal into the color burst signal.

CONSTITUTION: Suppose that a range of $+180^\circ$ to -180° of a phase error θ obtained by a phase comparator 27 is expressed in terms of the complement of 2 as 011,...1 to 100,...0, then a PLL control circuit 20 decides the mode of reset based on the value of the high-order 3-bit. For example, the phase error θ is in the range of $+45^\circ$ to -45° in figure (a), and the phase of the clock FSC is reset so that the position S_4 is to be a position S_1 .

Thus, the phase error θ is decreased in the range of 0 to $\pm 45^\circ$ as shown in figure (b). Since the initial phase error θ of the color burst signal in the changeover is within $\pm 45^\circ$, the locking to the color burst signal is attained stably at a high speed.

COPYRIGHT: (C)1988,JPO&Japio



(19) 日本国特許庁 (JP)

(12) 特許公報 (B 2)

(11) 特許出願公告番号

特公平 8-28889

(24) (44) 公告日 平成8年(1996)3月21日

(51) Int. C1. 6

H 0 4 N 9/89

識別記号

府内整理番号

F I

技術表示箇所

H 0 4 N 9/89

Z

発明の数 1

(全 8 頁)

(21) 出願番号 特願昭 62-121839

(22) 出願日 昭和62年(1987)5月19日

(65) 公開番号 特開昭 63-286090

(43) 公開日 昭和63年(1988)11月22日

(71) 出願人 99999999

バイオニア株式会社

東京都目黒区目黒1丁目4番1号

(72) 発明者 守山 義明

埼玉県所沢市花園4丁目2610番地 バイオニア株式会社所沢工場内

(74) 代理人 弁理士 藤村 元彦

審査官 鈴木 明

(56) 参考文献 特開昭58-114587 (JP, A)

(54) 【発明の名称】 PLL回路の同期引込み方法

1

【特許請求の範囲】

【請求項 1】 記録媒体から再生された再生映像信号から抽出された再生水平同期信号と水平走査周波数信号との位相差に応じた周波数のクロック信号を発生する一方、前記再生映像信号からカラーバースト信号が抽出される場合には、前記カラーバースト信号と色搬送波周波数信号との位相差に応じたクロック信号発生動作に切り換えるようにしたPLL回路の同期方法であって、前記再生水平同期信号と前記水平走査周波数信号との位相差に応じたクロック信号発生動作から、前記カラーバースト信号と前記色搬送波周波数信号との位相差に応じたクロック信号発生動作へと切り換えるときには、前記色搬送波周波数信号と前記カラーバースト信号との初期位相誤差が最小となるように、前記色搬送波周波数信号の位相をリセットすることを特徴とするPLL回路の

2

同期引込み方法。

【請求項 2】 前記カラーバースト信号は色搬送波周波数の4倍の周波数でサンプリングされ、前記位相誤差はデジタル数値で表現されているものとし、前記位相誤差の上位3ビットの値に応じて、元の位相を保つか、90°位相を進めるか、90°位相を遅らせるか、元の位相を反転させるかのいずれかを選択的に行なうことによって前記位相のリセットを行なうことを特徴とする特許請求の範囲第1項記載のPLL回路の同期引込み方法。

10 【請求項 3】 前記位相のリセットを行なうと共に、前記位相誤差の上位3ビットの全ての値を3ビット目の値に等しくして前記PLL回路内のループフィルタに入力するようにしたことを特徴とする特許請求の範囲第2項記載のPLL回路の同期引込み方法。

【請求項 4】 前記カラーバースト信号は色搬送波周波数

の4倍の周波数でサンプリングされ、位相誤差を θ とすると、前記色搬送波周波数の信号と前記カラーバースト信号との位相を比較する位相比較器から $\sin \theta$ と $\cos \theta$ の2つの出力が得られるものとし、 $\sin \theta$ と $\cos \theta$ の値の正負及び $|\sin \theta| - |\cos \theta|$ の値の正負によって前記位相のリセットの態様を決めるようにしたことを特徴とする特許請求の範囲第1項記載のPLL回路の同期引込み方法。

【請求項5】 $\cos \theta$ が正の値で $|\sin \theta| - |\cos \theta|$ が負の値のときは元の位相を保ち、 $\sin \theta$ 及び $|\sin \theta| - |\cos \theta|$ が共に正の値のときは90°位相を進め、 $\sin \theta$ が負の値で $|\sin \theta| - |\cos \theta|$ が正の値のときは90°位相を遅らせ、 $\cos \theta$ 及び $|\sin \theta| - |\cos \theta|$ が共に負の値のときは元の位相を反転することによって前記位相のリセットを行なうことを特徴とする特許請求の範囲第4項記載のPLL回路の同期引込み方法。

【発明の詳細な説明】

技術分野

本発明は、PLL回路の同期引込み方法に関し、特に再生映像信号に同期したクロックを発生するPLL回路の同期引込み方法に関するものである。

背景技術

ビデオディスクプレーヤ、VTRなどの映像信号再生装置では、装置内で発生される基準水平同期信号を基準としてスピンドルモータなどの回転系を制御する構成となっているので、記録媒体から得られる再生映像信号はジッタ（時間軸変動）を含むものの、平均的には基準水平同期信号に同期している。したがって、再生映像信号に同期したクロックを発生するPLL回路を再生映像信号に同期させる前に基準水平同期信号に同期させておけば、再生映像信号への同期引込みが容易になり短時間で確実に引き込むことになる。また、映像信号を安定に再生しているときは、再生水平同期信号よりもカラーバースト信号の方が位相誤差を高精度で検出できるので、PLL回路をカラーバースト信号に対して同期させるのが良い。

ところで、PLL回路が再生水平同期信号を同期の対象としこれに同期している状態から、同期の対象をカラーバースト信号に切り換えるとき、カラーバースト信号の初期位相誤差が大きいと同期引込みに時間がかかったり、同期引込みが不安定となることがある。また、同期引込みしたときでもサイクル・スリップのために色搬送波周波数fscの整数サイクルだけ位置がずれたところで同期することもあり、位相比較特性がsin形のときは特にこの問題が顕著となる。

発明の概要

本発明は、上述した点に鑑みなされたもので、記録媒体から再生された再生映像信号から抽出された再生水平同期信号と水平走査周波数信号との位相差に応じた周波数のクロック信号を発生する一方、前記再生映像信号か

らカラーバースト信号が抽出される場合には、前記カラーバースト信号と色搬送波周波数信号との位相差に応じたクロック信号発生動作に切り換えるようにしたPLL回路の同期方法であって、前記再生水平同期信号と前記水平走査周波数信号との位相差に応じたクロック信号発生動作から、前記カラーバースト信号と前記色搬送波周波数信号との位相差に応じたクロック信号発生動作へと切り換えるときには、前記色搬送波周波数信号と前記カラーバースト信号との初期位相誤差が最小となるように、前記色搬送波周波数信号の位相をリセットすることを特徴としている。

実施例

以下、本発明の実施例を図に基づいて詳細に説明する。

第1図は本発明に係るPLL回路を有する、例えば信号処理をデジタル的に行なう構成の映像信号再生装置のブロック図である。図において、ビデオディスクなどの記録媒体から読み取られたFM映像信号は、アナログLPF（ローパスフィルタ）1を介してA/D変換器2に供給される。LPF1はA/D変換における折り返しひずみを除去するためのものである。A/D変換器2から出力されるデジタル化FM映像信号は、デジタルBPF（バンドパスフィルタ）3に供給される。このデジタルBPF3は、FM音声信号をも含むA/D変換出力から映像信号の検波に必要な成分のみを抽出して次段のFM検波回路4に供給する。FM検波回路4としては、例えば、本出願人により特願昭59-262481号にて提案された構成のものを用い得る。FM検波回路4の検波出力はビデオLPF5において映像信号のベースバンド成分のみが抽出される。

映像信号のドロップアウトを検出するためのドロップアウト検出回路6が設けられている。このドロップアウト検出回路6は例えばレベルコンバーティ構成となっており、FM検波回路4におけるデジタル化FM映像信号のエンベロープ成分の2乗信号の信号レベルが所定値以下になったことを検出してドロップアウト検出信号を出力する。ビデオLPF5を通過したデジタル化映像信号はドロップアウト補正回路7及び信号分離回路8に供給される。ドロップアウト補正回路7はドロップアウト検出回路6から供給されるドロップアウト検出信号に応答してドロップアウトの補正を行なう。

信号分離回路8はデジタル化映像信号中に含まれる水平同期信号やカラーバースト信号などの信号を分離してPLL回路9に供給する。PLL回路9は再生映像信号に同期したクロックを発生するものであり、その同期の対象として信号分離回路8からの再生水平同期信号、カラーバースト信号及び基準信号発生回路10からの基準水平同期信号の3信号が入力され、これら信号に基づいて4fsc（fscは色副搬送波周波数）及び4N₁fsc（N₁は2以上の整数で、例えば3）のクロックを発生する。この4fsc及び4N₁fscのクロックはデジタル信号処理のためのクロ

ックとして用いられ、A/D変換器2のサンプリングクロック及びビデオLPF5までの信号処理のクロックを $4N_1 f_{sc}$ とし、ビデオLPF5の出力から $4f_{sc}$ のクロックにダウンサンプリングする。また、信号分離回路8では、 $4f_{sc}$ のクロックを再生水平同期信号及びカラーバースト信号のサンプリングクロックとする。

ドロップアウト補正回路7から出力されるディジタル化映像信号はPLL回路9で発生される $4f_{sc}$ のクロックによってバッファメモリ11に書き込まれる。このバッファメモリ11からのデータの読み出しは、基準信号発生回路10で発生される $4f_{sc}$ の基準クロックによってなされる。このように、再生映像信号とは関係のない安定した基準クロックによってバッファメモリ11からのデータの読み出しが行なうことにより、再生映像信号のジッタを吸収することができる。バッファメモリ11から読み出されたディジタル化映像信号はD/A変換器12でアナログ化されて再生映像出力となる。

第2図は本発明の同期引込み方法が適用されるPLL回路9の具体的な構成を示すブロック図である。同図において、信号分離回路8で再生映像信号から分離された再生水平同期信号(PB H)及び基準信号発生回路10で発生された基準水平同期信号(REF H)は、PLLコントロール回路20によって切換え制御されるセレクタ21の2入力となる。セレクタ21によって選択された再生水平同期信号又は基準水平同期信号はコントロール回路20に供給されると共に第1の位相比較器22の一入力となる。位相比較器22の比較出力はコントロール回路20に供給されると共に加算器23及びセレクタ24の各一入力となる。セレクタ24はコントロール回路20によって切換え制御される。このセレクタ24の選択出力はリミッタ25に供給される。リミッタ25は入力信号に対する振幅制限動作を選択的に行なう構成となっており、その選択制御はコントロール回路20によって行なわれる。リミッタ25の出力はセレクタ26の一入力となる。

一方、信号分離回路8で再生映像信号から分離されたカラーバースト信号(CB)は第2の位相比較器27の一入力となる。この位相比較器27の比較出力はコントロール回路20に供給されると共にセレクタ26の他入力となる。セレクタ26はコントロール回路20によって切換え制御される。このセレクタ26の選択出力はPLLのループ特性を決めるためのループフィルタ28に供給される。ループフィルタ28は所望の特性を実現するように構成されたディジタルフィルタであり、その出力はD/A変換器29でアナログ電圧に変換されてVCO(電圧制御発振器)30の制御電圧となる。VCO30はD/A変換器29の出力電圧により発振周波数が制御され、その出力は本回路のマスタークロック f_M となると共に、 N_1 分周器31を経由して N_2 分周器32と N_3 分周器33とコントロール回路20に供給される。 N_2 分周器32の出力は位相比較器22の他入力となり、また N_3 分周器33の出力は位相比較器27の他入力となっており、以上

によりPLLが形成されている。

N_1 分周器31はマスタークロック f_M を再生水平同期信号及びカラーバースト信号のサンプリングクロック $4f_{sc}$ まで分周するためのものであり、例えば $f_M=16f_{sc}$ とした場合 $N_1=4$ となる。 N_2 分周器32は N_1 分周器31の出力(f_M/N_1)を水平走査周波数 f_H まで分周するためのものであり、NTSC方式では $N_2=910$ となる。 N_3 分周器33は N_1 分周器31の出力(f_M/N_1)を色副搬送波周波数 f_{sc} まで分周するためのものであり、 $f_M/N_1=4f_{sc}$ のとき、 $N_3=4$ となる。

PLLコントロール回路20はフリップフロップとPLA(Programmable Logic Array)の組合せ、あるいはマイクロコンピュータなどにより構成され、電源投入時などに発せられる初期リセット信号(IRST)、垂直ブランкиング期間であることを示す垂直ブランкиング信号(VBLK)、サーチあるいはビジュアル・スキャン中であることを示すスキャン信号(SCAN)、静止画などの特殊再生において隣接トラックにジャンプしたこと示すジャンプ信号(JUMP)などを制御信号とし、セレクタ21, 24, 26の切換え、リミッタ25の振幅制限動作の選択、ループフィルタ28の初期状態へのセット、分周器32, 33のリセットなどの制御を行なう。なお、ループフィルタ28の初期状態へのセットは、ディジタルフィルタ内の各レジスタが所定値に設定されることによって行なわれる。

第3図は第2図における位相比較器27の構成の一例を示すブロック図である。同図において、カラーバースト信号を一入力とする加減算器270は色搬送波周波数 f_{sc} の信号の論理("H"又は"L")に応じて加算又は減算を行なう。この加減算器270の加減算出力は、カラーバースト期間中にPLLコントロール回路20から出力される $4f_{sc}$ の周波数のクロック毎にDフリップフロップからなる第1のレジスタ271に取り込まれる。この第1のレジスタ271の出力は当該レジスタ271のクロックと同一のクロック毎にDフリップフロップからなる第2のレジスタ272に取り込まれる。第1及び第2のレジスタ271, 272はシフトレジスタを構成しており、クロックが入力される前にPLLコントロール回路20から出力されるリセット信号によって各レジスタの内容が"0"にリセットされる。第1のレジスタ271の出力は $\Sigma A \cos \theta$ 信号として出力されると共に除算器273の一入力となる。一方、第2のレジスタ272の出力は $\Sigma A \sin \theta$ 信号として出力されると共に加減算器270及び除算器273の各他入力となる。除算器273の出力はROM等によって構成される \tan^{-1} 変換器274を経ることにより位相誤差 θ となる。

加減算器270の一入力となるカラーバースト信号はサンプリング周波数が $4f_{sc}$ であるから、第4図に示すように、カラーバースト信号の1サイクル当たり4つのサンプル点を持つ。この4つのサンプル点を色搬送波周波数 f_{sc} の信号の立上がりから順に S_1, S_2, S_3, S_4 とする。

かかる構成において、位相誤差の算出を行なう前に、

PLLコントロール回路20からのリセット信号により、第1及び第2のレジスタ271, 272の内容は“0”にリセットされる。リセット解除後、最初のサンプル値S₁が入力されると、色搬送波周波数fscの信号が“H”なので加減算器270は加算を行うが、レジスタ272の出力が“0”なので加減算器270の出力はS₁となり、これがクロックの最初の立上がりでレジスタ271に取り込まれる。このときレジスタ272にはレジスタ271の内容がシフトされるので、レジスタ272の内容は“0”的まとなる。よって、次のサンプル値S₂が入力されるときも色搬送波周波数fscの信号が“H”なので、加減算器270の出力はS₂となり、これがクロックの2番目の立上がりでレジスタ271に取り込まれると同時にレジスタ272にはレジスタ271からシフトされたS₁が取り込まれる。次にサンプル値S₃が入力されると、色搬送波周波数fscの信号が“L”になるので、加減算器270の出力はS₁-S₃となり、これがクロックの3番目の立上がりでレジスタ271に取り込まれると同時に、レジスタ272にはS₂が取り込まれる。更に、サンプル値S₄が入力されると、色搬送波周波数fscの信号が“L”なので、加減算器270の出力はS₂-S₄となり、これがクロックの4番目の立上がりでレジスタ271に取り込まれると同時にレジスタ272にはS₁-S₃が取り込まれる。

以上のように、カラーバースト信号のサンプル値がS₁, S₂, S₃, S₄, S₁, ……と入力される毎に、加減算器270の出力はS₁, S₂, S₁-S₃, S₂-S₄, S₁+S₁-S₃, ……となり、第1のレジスタ271と第2のレジスタ272は、巡回的にシフトしながら $\Sigma (S_2 - S_4)$ と $\Sigma (S_1 - S_3)$ の値を取り込んでいき、カラーバースト期間が終了してクロックが停止したときには、カラーバースト信号と色搬送波周波数fscの信号の位相誤差を0、カラーバースト信号の振幅をAとすると、サンプル値S₁, S₂, S₃, S₄はそれぞれA $\sin \theta$, A $\cos \theta$, -A $\sin \theta$, -A $\cos \theta$ となるから、第1のレジスタ271の出力は $\Sigma (S_2 - S_4) = \Sigma A \cos \theta$ 、第2のレジスタ272の出力は $\Sigma (S_1 - S_3) = \Sigma A \sin \theta$ となる。よって、除算器273の出力は $\tan \theta$ となり、tan⁻¹変換器274の出力として位相誤差 θ が得られることになる。

次に、かかる構成の位相比較器27を有するPLL回路の動作について説明する。

電源投入時や映像信号が入力されていないときは、PLLコントロール回路20は初期リセット信号（IRST）などの制御信号により、セレクタ21をa側として基準水平同期信号を選択し、セレクタ24をa側として位相比較器22の比較出力を選択し、リミッタ25を振幅制限状態とせずにスルーとし、セレクタ26をa側にしてリミッタ25の出力を選択する。また、電源投入直後の状態では、VC030の初期周波数がPLLロック時の中心値に設定されるようにループフィルタ28がセットされ、位相比較器22の2つの入力の初期位相誤差が0となるようにN₂分周器32がコントロール回路20を介した基準水平同期信号によってリ

セットされる。これらのセット、リセットが解除された後、PLLはセレクタ21で選択された基準水平同期信号への同期引込みを開始する。

位相比較器22はVC030の出力を分周して得た水平走査周波数f_Hのクロックと基準水平同期信号との位相誤差をデジタル値で検出する。検出された値はセレクタ24、リミッタ25及びセレクタ26を介してループフィルタ28に入力される。ループフィルタ28の出力はD/A変換器29でアナログ化されてVC030の制御電圧となる。コントロール回路20は位相比較器22の出力を監視し、同期の引込み開始からn₁・H（例えば、n₁=16）以内に位相誤差がn₂回（例えば、4回）連続して第1の所定範囲W₁（例えば、+1.2°～-1.6°）内に入るとロックしたとみなし、このとき映像信号が再生されていれば、コントロール回路20は直ちにセレクタ21をb側に切り換えて再生水平同期信号を選択すると共にN₂分周器32を再生水平同期信号によってリセットし、再生水平同期信号に対して位相比較器22の初期位相誤差が0になるようする。

コントロール回路20は基準水平同期信号のときと同様に、N₂分周器32のリセットを解除して再生水平同期信号への同期引込みを開始すると共に、位相比較器22の出力を監視し、ロックの条件を満たすか否かを判定する。判定の結果、ロックの条件を満たさないときはロック不能とし、コントロール回路20はセレクタ21を再びa側に切り換えて基準水平同期信号を選択すると共にN₂分周器32をリセットする。このとき、ループフィルタ28も初期状態にセットしても良い。この後、基準水平同期信号に対して再びロック判定を行なうが、ここでもロック不能となったときは、電源投入後の初期状態に戻して各部のセット・リセットを行なう。なお、ロック及びロック不能の判定条件は、基準水平同期信号と再生水平同期信号とで同じでも良く、又異なっていても良い（例えば、n₁, n₂の値及び範囲W₁を変える）。基準水平同期信号の場合は、信号自体のジッタがなく安定しているので、より簡単な判定条件としても問題ないが、再生水性同期信号と同じにすればコントロール回路20内の制御が容易になる。

セレクタ21をb側にしたとき、再生水平同期信号にロックしたと判定すると、コントロール回路20はリミッタ25を振幅制限動作させ、位相比較器22の出力の監視を続ける。ここで、振幅制限動作を再生水平同期信号にロックした状態で常に行なう代わりに、垂直ブランкиング期間、ビデオディスクプレーヤのスキャンやサーチ、トラックジャンプなどの動作時にのみ振幅制限を行なうようにしても良い。再生水平同期信号にロックした後、位相比較器22の出力が所定範囲W₂を超えると、そのときからn₃・H以内に位相誤差がn₄回連続して所定範囲W₃内に入らないとロック外れとみなし、この場合もセレクタ21をa側に切り換えて基準水平同期信号を同期対象とする。これらの範囲W₁, W₂, W₃（基準水平同期信号の場合も含

む) はそれぞれ異なっていても良いが、同じ値とし、又 n_3, n_4 もそれぞれ n_1, n_2 と同じ値の方がコントロール回路 20 内の制限が容易になる。

再生水平同期信号にロックした状態において、カラーバースト信号が入力されていてかつ位相比較器 22 の出力がロックの判定に用いた第 1 の所定範囲 W_1 よりも更に狭い第 2 の所定範囲 W_4 (例えば、 $\pm 0.1^\circ$) 内に入ったとき、コントロール回路 20 はセレクタ 26 を b 側に切り換えて位相比較器 27 の出力を選択すると共に、VC030 の出力を分周して得た色副搬送波周波数 f_{sc} のクロックとカラーバースト信号との位相誤差が最小となるように、 f_{sc} のクロックの位相をリセットする。この位相のリセットに関しては後で詳細に説明する。なお、垂直プランキング期間やビデオディスクプレーヤのサーチのときあるいはトラックジャップの直後ではセレクタ 26 を切り換えずに a 側のままとするようにしても良い。

セレクタ 26 を b 側にした後、コントロール回路 20 は位相比較器 27 の出力を監視し、セレクタ 26 の切り換え後から $n_5 \cdot H$ 以内に位相誤差が n_6 回連続して所定範囲 W_5 (例えば、 f_{sc} の位相で $\pm 21^\circ \sim -22.5^\circ$) 内に入るとロックとみなし、入らないとロック不能とみなしてセレクタ 26 を a 側に切り換え、再生水平同期信号にロックした状態からやり直す。カラーバースト信号にロックしたときは、位相比較器 27 の出力を引き続き監視し、位相比較器 27 の出力が所定範囲 W_6 を越え、そこから $n_7 \cdot H$ 以内に位相誤差が n_6 回連続して所定範囲 W_7 内に入らない場合はロック外れとみなし、ロック不能の場合と同様に、セレクタ 26 を a 側に切り換える。また、コントロール回路 20 はセレクタ 26 が b 側にあるときも位相比較器 22 の出力を監視し、再生水平同期信号に対してロック外れと判断した場合も、同様にセレクタ 26 を a 側に切り換える。

ここで、 $n_5 \sim n_8$ は異なる値でも良いが、前述のように、 n_5, n_7 は n_1 と、 n_6, n_8 は n_2 とそれぞれ同じ値の方が良い。また、 W_5, W_6, W_7 は同じ値の方が良いが、 W_3 とは異なる。これは、再生水平同期信号とカラーバースト信号とでは、位相比較を行なう周期 ($= 1H$) は同じであるが、位相比較信号の周波数が異なるためである。

通常の再生状態では、カラーバースト信号にロックしたままであるが、前述のように垂直プランキング期間、ビデオディスクプレーヤのサーチ時、トラックジャップの直後、カラーバーストのない部分の再生などでは、セレクタ 26 を a 側に戻し、ロックの対象を再生水平同期信号に切り換えるようにしても良い。また、カラーバースト信号にロックした状態では、セレクタ 24 を b 側に切り換えて加算器 23 の出力を選択するようにしておく。このとき、コントロール回路 20 は位相比較器 27 の出力と位相比較器 22 の出力から両者の位相差を計算しつつ平均化した後、これを加算器 23 の他入力とする。これにより、加算器 23 の出力は再生水平同期信号の位相誤差にオフセットを加えてカラーバースト信号の位相誤差にほぼ等しい

値としたものとなり、セレクタ 26 によって PLL のロックの対象をカラーバースト信号と再生水平同期信号との間で切り換えた瞬間、ループフィルタ 28 に大きな位相誤差が入力されることがないので、切換え前後において PLL が不安定になることがない。

次に、先述したように、同期の対象を再生水平同期信号からカラーバースト信号に切り換えるときに、色搬送波周波数 f_{sc} のクロックの位相をリセットする際の動作について説明する。このリセットは、セレクタ 26 の切換え前の位相比較器 27 の値に応じて N_3 分周器 33 をリセットするか、当該分周器 33 の出力位相を選択して取り出すことによって行なう。

今、第 3 図に示す位相比較器 27 で得られる位相誤差 θ の $+180^\circ \sim -180^\circ$ の範囲が、2 の補数で 011……1 から 100……0 で表現されているものとすると、PLL コントロール回路 20 は上位 3 ビットの値に基づいてリセットの態様を決める。すなわち、上位 3 ビットが 000 又は 111 のときは位相誤差 θ は $\pm 45^\circ$ の範囲内にあるので、リセット後の位相はリセット前の位相と同じで良く、この場合 20 は元の位相を保つ。上位 3 ビットが 001 又は 010 のときは位相誤差 θ は $+45^\circ \sim +135^\circ$ の範囲にあるので、各サンプル点を 1 つ左にずらすことによってクロック f_{sc} の位相を 90° 進める。これは、位相誤差 θ の位相から 90° 減じたものと等価であるから、リセット後の位相誤差 θ は $\pm 45^\circ$ の範囲内にある。上位 3 ビットが 110 又は 101 のときは位相誤差 θ は $-135^\circ \sim -45^\circ$ の範囲にあるので、各サンプル点を 1 つ右にずらすことによってクロック f_{sc} の位相を 90° 遅らせてリセット後の位相誤差 θ を $\pm 45^\circ$ の範囲内に入れる。上位 3 ビットが 011 又は 100 の 30 ときは位相誤差 θ が $+135^\circ \sim +180^\circ$ 又は $-180^\circ \sim -135^\circ$ の範囲にあるので、クロック f_{sc} の位相に反転して、各サンプル点を 2 つ右又は左へずらし、リセット後の位相誤差 θ を $\pm 45^\circ$ の範囲内とする。例えば第 4 図において、(a) では位相誤差 θ が $+45^\circ \sim +135^\circ$ の範囲にあるが、 S_4 の位置が S_1 となるようにクロック f_{sc} の位相をリセットすることにより、(b) に示すように位相誤差 θ を $0 \sim 45^\circ$ の範囲に減少できるのである。

これらのリセットを行なうと位相誤差 θ から 90° の整数分だけ減じたことになり、2 の補数表現では上位 2 ビット分に相当する値が減ぜられて、上位 3 ビットが同じ値となる。すなわち、各上位 3 ビットはリセット後は第 5 図に示すようになる。したがって、リセットを行なうと共に、位相誤差 θ を第 2 図のループフィルタ 28 に入力するときは、位相誤差 θ の上位 3 ビット全ての値をリセット前の位相誤差 θ の上位から 3 ビット目の値と等しくすれば良い。このようにして、位相誤差 θ の値の補正を容易に行なうことができる。但し、リセットを行なってから、次の水平走査期間のカラーバースト信号の位相誤差からループフィルタ 28 に入力する場合はそのまま入力する。なお、位相誤差 θ の $+180^\circ \sim -180^\circ$ の範囲が 2

の補数ではなく、単純2進数で111……1から000……0で表現されている場合でも、同様にリセットが可能であり、リセットを行うと共に位相誤差 θ をループフィルタ28に入力するときも同様に、位相誤差 θ の上位3ビット全ての値を上位から3ビット目の値と等しくすれば良い。

上述したように、位相比較器27が -180° ～ $+180^\circ$ まで正確に位相誤差 θ を出力できるような構成のもの（一般的に、のこぎり波特性の位相比較器）であれば、上位3ビットの値によってリセットの様相を決める事ができるのであるが、sin形の特性の位相比較器などでは、位相誤差が大きくなると出力が真の位相誤差の値からずれてくる。

そこで、sin形の位相比較器の場合は、 $\sin\theta, \cos\theta$ 及び $|\sin\theta| - |\cos\theta|$ の各々の値の正負により位相誤差 θ の範囲を求めてリセットの様相を決定する。第6図からわかるように、 $\cos\theta$ が正の値で $|\sin\theta| - |\cos\theta|$ が負の値のときは、位相誤差 θ は $\pm 45^\circ$ の範囲内にあるので、リセット後の位相はリセット前の位相と同じで良い。 $\sin\theta$ 及び $|\sin\theta| - |\cos\theta|$ が共に正の値のときは、位相誤差 θ は $+45^\circ$ ～ $+135^\circ$ の範囲にあり、クロック f_{sc} の位相を 90° 進める。 $\sin\theta$ が負の値で $|\sin\theta| - |\cos\theta|$ が正と値のときは、位相誤差 θ は -135° ～ -45° の範囲にあり、クロック f_{sc} の位相を 90° 遅らせる。 $\cos\theta$ 及び $|\sin\theta| - |\cos\theta|$ が共に負の値のときは、位相誤差 θ が $+135^\circ$ ～ $+180^\circ$ 又は -180° ～ -135° の範囲にあり、クロック f_{sc} の位相を反転する。

このように、sin形の位相比較器の場合にも、 $\sin\theta, \cos\theta$ 及び $|\sin\theta| - |\cos\theta|$ の各々の値の正負に基づいてクロック f_{sc} の位相のリセットを行なうことにより、位相誤差 θ の値を $\pm 45^\circ$ の範囲内とすることができる。なお、sin形の位相比較器では、第3図の構成の位相比較器から除算器273と \tan^{-1} 変換器274を省略できるので、より少ないハードウェア量となる。

以上の説明では、カラーバースト信号は $4f_{sc}$ の周波数でサンプリングされ、1サイクル当たり4つのサンプル点を持つとしたが、sin形でなく位相誤差 θ を直接求める位相比較器では他のサンプリング周波数でも同様に位相誤差 θ から f_{sc} の位相を決定してリセットすることができる。サンプリング周波数が f_{sc} のN倍とすると、 $360^\circ/N$ の単位で位相がリセットされる。但し、サンプリング

周波数が変わるとそれに応じて第3図の回路に変更が必要となる。sin形の位相比較器でも他のサンプリング周波数が可能であるが、位相誤差 θ の範囲の求め方はより複雑なものとなる。

このように、PLLの同期の対象を再生水平同期信号からカラーバースト信号に切り換えるとき、クロック f_{sc} の位相をリセットすることにより、この切換えの際のカラーバースト信号の初期位相誤差 θ が $\pm 45^\circ$ 以内となるので、カラーバースト信号への同期引込みが高速かつ安定に行なうことができる。なお、本発明は、PLL回路内の処理をデジタル的に行なうのに適しているが、サンプリング、 $\sin\theta, \cos\theta, \theta$ の計算など、基本的な考え方はアナログ処理にも適用可能である。

発明の効果

以上説明したように、本発明による同期引込み方法によれば、再生映像信号に同期したクロックを発生するPLL回路において、同期の対象を再生水平同期信号からカラーバースト信号へ切り換えるとき、色搬送波周波数の信号とカラーバースト信号との初期位相誤差が最小となるように、色搬送波周波数の信号の位相をリセットすることにより、カラーバースト信号の初期位相誤差が $\pm 45^\circ$ 以内となるので、カラーバースト信号への同期引込みを高速かつ安定に行なうことができる。

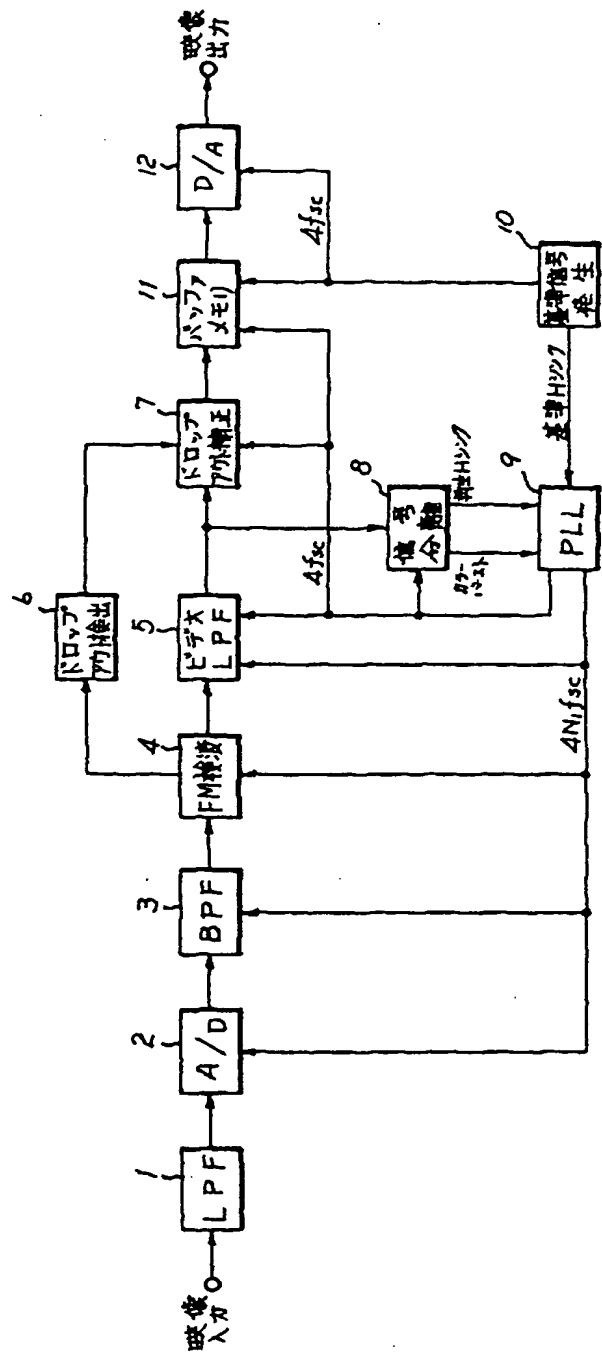
【図面の簡単な説明】

第1図は本発明に係るPLL回路を有する映像信号再生装置のブロック図、第2図は本発明による同期引込み方法が適用されるPLL回路の具体的な構成を示すブロック図、第3図は第2図における位相比較器の構成の一例を示すブロック図、第4図は第3図の回路動作を説明するための波形図、第5図は位相誤差 θ の上位3ビットのリセット前とリセット後の値を示す図、第6図は $\sin\theta, \cos\theta$ 及び $|\sin\theta| - |\cos\theta|$ の符号関係を示す波形図である。

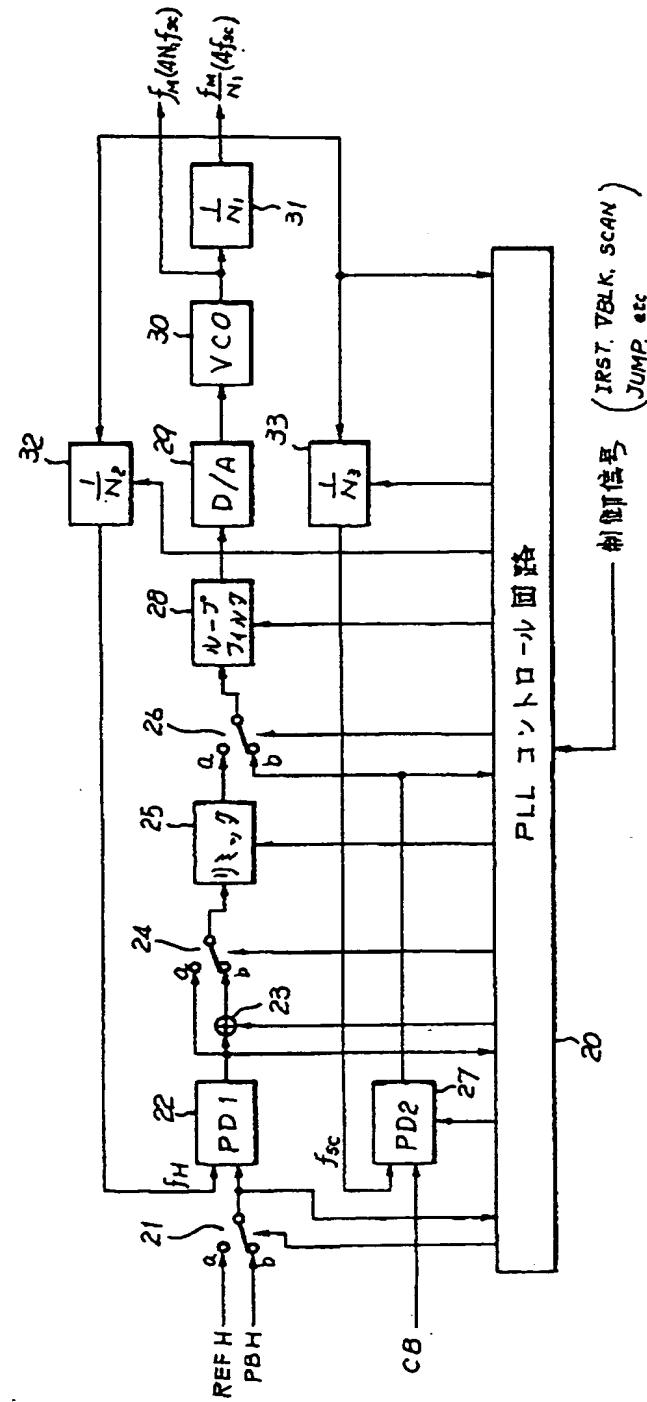
主要部分の符号の説明

- 8……信号分離回路、9……PLL回路
- 10……基準信号発生回路
- 11……バッファメモリ
- 20……PLLコントロール回路
- 21, 24, 26……セレクタ
- 40 22, 27……位相比較器
- 28……ループフィルタ
- 31, 32, 33……分周器

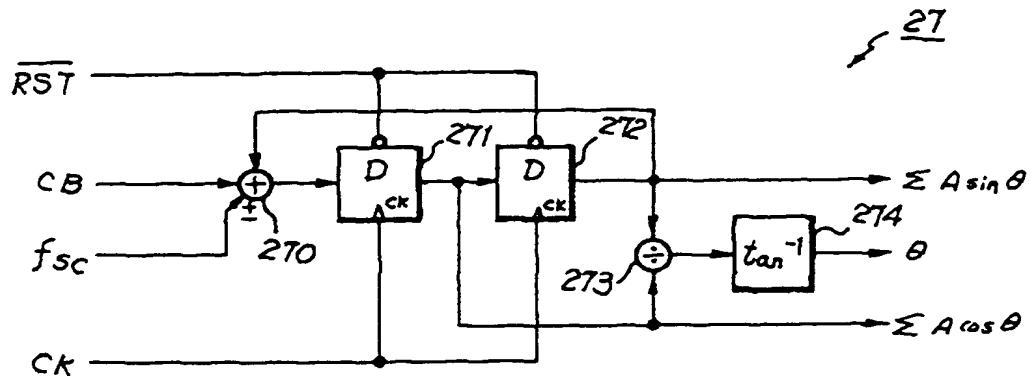
【第1図】



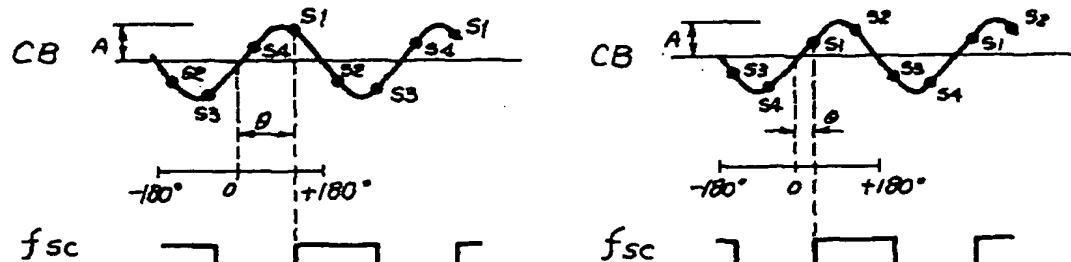
【第2図】



【第3図】



【第4図】



(a)

(b)

【第5図】

位相誤差θ	リセット前	リセット	リセット後
+135° ~ +180°	0 1 1	-100	1 1 1
+90° ~ +135°	0 1 0	-010	0 0 0
+45° ~ +90°	0 0 1		1 1 1
0° ~ +45°	0 0 0	-000	0 0 0
-45° ~ 0°	1 1 1		1 1 1
-90° ~ -45°	1 1 0	-110	0 0 0
-135° ~ -90°	1 0 1		1 1 1
-180° ~ -135°	1 0 0	-100	0 0 0

【第6図】

